Министерство образования и науки Украины

Севастопольский национальный технический университет

Кафедра кибернетики

и вычислительной техники

Пояснительная записка

к курсовому проекту

на тему: «Синтез операционного устройства ЭВМ»

по дисциплине «Цифровые ЭВМ»

Выполнила: ст.гр. М-42д

Чернацкая А.А.

Вариант 44

Проверила:

доц.Волкова Т.В.

Севастополь

2009

Содержание

# Введение

При проектировании ЭВМ необходимо четкое разделение функций между центральным процессором (процессорами) и остальными узлами. Это не только упрощает их разработку, но и делает процессор более универсальным, позволяя использовать его в других типах ЭВМ. Наряду с этим целесообразно четкое разделение функций и между частями, составляющими процессор. Это дает возможность производить независимое проектирование этих частей, что уменьшает затраты времени на проектирование всего процессора, а также позволяет вносить изменения в отдельные узлы, не затрагивая остальные.

Такое разделение процессора на логически завершенные части обычно выделяет операционное устройство (ОУ), в составе которого имеется управляющий автомат (УА), построенный в виде цифрового автомата с жесткой или программируемой логикой, который управляет работой процессора.

Курсовое проектирование преследует следующие цели: повторение и закрепление основных разделов курса "Архитектура ЭВМ", приобретение навыков проектирования узлов ЭВМ и изготовление соответствующей конструкторской документации, ознакомление с функциональной организацией ЭВМ Единой системы (ЕС ЭВМ).

1. **Постановка задачи.**

Объектом курсового проектирования является центральное обрабатывающее устройство (ЦОУ), реализующее заданную совокупность команд из системы команд абстрактной ЦВМ.

ЦОУ обеспечивает реализацию хранящейся в ОП программы, команды которой принадлежат ограниченному (в учебных целях) множеству типовых команд, исполняемых компьютером. К ним относятся:

-арифметическая команда,

-логическая команда,

-команда пересылки данных (команда обмена данными между регистровой памятью (РП) процессора и ОП),

-команда обращения к устройству ввода/вывода,

-команда передачи управления,

-команда «стоп».

Процессор, обеспечивающий исполнение каждой команды, должен:

-осуществить выборку команды из ОП в строгом соответствии с форматом команды,

-расшифровать код операции в команде,

-выполнить расшифрованную операцию,

-подготовить компьютер к выполнению следующей команды.

В роли управляющего устройства выступает устройство с естественным способом адресации микрокоманд и горизонтально-вертикальтным способом кодирования микроопераций.

Таким образом, необходимо разработать операционное устройство ЭВМ со следующими особенностями:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| №  вар | Команды АЛУ | | | | Дополнит.  команды | | |
| КА | ДА | КЛ | ДЛ | ПУ | ОбрП | ВВ |
| 44 | **–** | F8 | **←**1 | L4 | ПВз | ЗП|L4 | МП |

1) перечень аппаратно поддерживаемых типов данных:

**F8** –64-разрядные числа в формате с плавающей точкой (данные для арифметических команд – **ДА**);

**L4**– двоичные вектора длиной 4 байта (данные для логических команд – **ДЛ**).

2) типы команд:

**КА** – вычитание (**–**)

**КЛ** – сдвиг **(←1** - влево одинарный (одного информационного слова));

**ПУ** – команды передачи управления: **ПВз** – переход с возвратом;

**ОбрП** – команды обращения к памяти: **запись в память** (**ЗП)**  – чтение из РП и запись прочитанных данных в ОП (формат данных задается вариантом);

* **ВВ** – команды ввода/вывода: **МП** – передача байта из МВВ в процессор;
* команда «**Стоп**»;

Характеристики памяти и способы адресации операндов представлены в таблице:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ОП | | РП | | Способы адресации | | | | | |
| ЕОП | ШВ | ЕРП | Тип | Н | П | К | Р | КР | О |
| 512 | 8 | 8 | Р | + | + | + | + |  | + |

3) способы адресации операндов в команде:

* **Н** – непосредственная,
* **П** – прямая,
* **К** – косвенная,
* **Р** – регистровая,
* **О** – относительная;

4) основные характеристики ОП:

* + **ЕОП** – емкость ОП в мегабайтах,
  + **ШВ** – ширина выборки (разрядность слова ОП в байтах);

5) характеристики РП:

* + **ЕРП** – емкость регистровой памяти – определяется количеством регистров в блоке;
  + **тип**: **Р** – раздельная РП (РОН и РПТ составляют два различных физических блока заданного объема);
  + **разрядность** любого регистра РП определяется длиной информационного слова (4 байта);

1. тип устройства управления (управляющий автомат с программируемой логикой);
2. способ адресации микрокоманд в микропрограммах:
   * **Е** – естественная,
3. способ кодирования поля микроопераций в микрокомандах:
   * **ГВ** – горизонтально-вертикальный.

1. **Описание команд и данных**

Всего необходимо реализовать 5 команд.

Обычно формат команды имеет следующий вид:

КОП ОП1 ОП2

КОП – код операции, под это поле отводится первые 8 бит команды. В нашем случае кодирование КОП будет выполняться следующим образом:

КОП(0:1) - длинна команды:

00 – 1 байт;

01 – 4 байта;

10 – 6 байт.

КОП(2:4) – для код класса команды:

001 - команды обращения к памяти по чтению и записи;

011 - арифметические команды над числами с плавающей точкой (сложение, вычитание, умножение, деление, сравнение);

101 - команды сдвигов (одинарных, двойных, арифметических, логических) на произвольное число разрядов;

110 - команды передачи управления (условных и безусловных переходов);

111 - команды ввода/вывода.

КОП(5:7) – для номера команды в списке класса.

001-первый.

Отметим, что во всех типах адресации операндов используется регистровая адресация.

Однако, данный тип кодирования операций приемлем только для данного случая. Если будет необходимо реализовать все типы адресации для каждой команды, то необходимо будет выбрать иное кодирование.

**2.1.Структурные схемы команд и их адресация**

**1. Команда арифметическая – вычитание F8 с**

0 7 8 10 11 26 31

КОП Р1 А(у)

тип адресации: ОП1 - регистровая адресация ,

ОП2 - косвенная адресация.

Алгоритм выполнения вычитания.



**2.Команда логическая – сдвиг влево L4.**

0 7 8 10 11 16 31

КОП Р1 Im2

тип адресации: ОП1 - регистровая адресация ,

ОП2 - непосредственная адресация.

Алгоритм выполнения сдвига вправо.



**3.Команда перехода с возвратом.**

0 7 8 10 11 13 15

КОП Р1 Р2

тип адресации: ОП1 - регистровая адресация ,

ОП2 - регистровая адресация.

Алгоритм выполнения перехода с возвратом.



**4.Запись в память L4**

0 7 8 10 11 13 14 29 31

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | P1 | B2 | D2 |

тип адресации: ОП1 - регистровая адресация ,

ОП2 - относительная адресация.

Алгоритм выполнения перехода с возвратом



**5. Команды ввода/вывода: МП – передача байта из МВВ в процессор.**

0 7 8 15

|  |  |
| --- | --- |
| КОП | А(НУВВ) |

тип адресации: ОП1 - прямая адресация.

Алгоритм передачи байта из МВВ в процессор



**2.2.Таблица, описывающая систему команд ЦОУ**

Основной задачей, решаемой в процессе синтеза системы команд, является определение эффективного состава операций, реализуемых процессором. В то же время, конкретное задание на курсовой проект предполагает разработку только пяти команд. Поэтому будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды (или кода длины команды), КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| № класса | № команды | Название | Содержание | Признак рез-та | Флаги | Код | 16-ричный |
| 3 | 1 | Арифметическое вычитание с пл.точкой | R1:=R1-((Ay)2) | =0,<0,>0,  ППФТ | A,S,Пр | 01011001 | 59h |
| 5 | 1 | Логический сдвиг влево 4х байт | R1:=L(PK(11:16))R1 | =0,<0,>0,  ППФТ | ----- | 01101001 | 69h |
| 6 | 1 | Переход с возвратом | СчАК:=R2 | ------ | ----- | 00110001 | 31h |
| 1 | 1 | Запись в память 4х байт | R1:=((B2)+D2) | ----- | A,S | 01001001 | 49h |
| 7 | 1 | Передача байта из МВВ в процессор | ПортД:=(НУВВ) | ------ | ----- | 00111001 | 39h |

1. **СТРУКТУРНАЯ СХЕМА ОПЕРАЦИОННОГО УСТРОЙСТВА**

Структурная схема ОУ представлена на чертеже 1. Основными составляющими операционного устройства являются:

* Управляющий автомат (УA);

Управляющий автомат – это блок, обеспечивающий выработку необходимых последовательностей управляющих сигналов {Y}, причем, генерируемые управляющим автоматом последовательности управляющих сигналов {Y} предопределяются поступающими на вход этого устройства сигналами из операционного устройства, несущими информацию об особенностях реализации каждой микрооперации {X}.

Структурная схема УА представлена на чертеже №1.

* Арифметико-логическое устройство (АЛУ);

В данном случае АЛУ имеет в своём составе два регистра АЛУ для операндов, над которыми выполняется действие и регистр результата, в который помещается результат операции. В данной курсовой работе регистры являются 64х разрядными.

АЛУ выполняет различные операции, которые активируются УА. Каждая операция в АЛУ инициируется управляющим сигналом . Сигналы  передаются в АЛУ от УА. Также АЛУ имеет осведомительный сигнал Zалу, характеризующий занятость АЛУ.

В данной работе АЛУ выполняет следующие функции: **вычитание чисел с плавающей точкой и логический сдвиг влево.**

Кроме проведения арифметических и логических операций АЛУ формирует признаки их результата, которые по шине АЛУ передаются на РПр (результат >0, 0< , =0 и переполнение (Zпп)).

* Оперативная память (ОП);

Длина слова ОП в данной работе равна 64 бита (8 байтам), согласно заданию. Слово читается и записывается в ОП целиком за одно обращение к ОП. Адрес слова, к которому приводится обращение, указывается в регистре адреса оперативной памяти РАОП. Длина регистра АОП равняется 26 разрядам:

Еоп = 512 Мб, ширина выборки n = 8, m = ]log2(Еоп)[ - ]log2(n)[ = 29 – 3 = 26.

Слово информации, которое записывается в ОП или читается из ОП, размещается на регистре СОП. Операция в ОП инициируется сигналами чтения ЧтОП или записи ЗпОП. Осведомительный сигнал Zоп предназначен для фиксации занятости ОП, он необходим, поскольку операции чтения и записи из/в ОП имеет длительность, превышающую длительность такта работы операционного устройства. Zоп=1, когда ОП занята выполнением операции чтения или записи. Момент окончания чтения или записи в ОП отмечается значением осведомительного сигнала ZОП = 0.

* Регистровая память (РП);

Регистровая память в данной работе раздельная и состоит из РСРП с плавающей и фиксированной точкой, разрядность которых 32 бита (4 байта).

Регистр адреса регистровой памяти состоит из РАРП с плавающей и фиксированной точкой, разрядность которых 3 бита. Операнд, который записывается в РП или считывается из РП, помещается на РСРП. Чтение и запись индицируются соответственно сигналами ЧтРП или ЗпРП и выполняются во время одного такта работы операционного устройства.

* Регистр команд (РК);

Регистр команды (РК) предназначен для временного хранения команды, выбранной из оперативной памяти, и является 32-разрядным. РК имеет следующий формат:

0 7 8 31

|  |  |
| --- | --- |
| КОП |  |

* Буферный регистр (БР);

Буферный регистр предназначен для запоминания второго полуслова слова считанного из ОП. БР позволяет уменьшить количество обращений к оперативной памяти. Возможность использования информации из ранее выбранного слова имеет смысл лишь в том случае, когда сохраняется естественный порядок выполнения команд, а если была выполнена команда передачи управления, то данные в буферном регистре не действительны. Буферный регистр является 64-разрядным.

* Счетчик адреса команд (СчАК);

Адрес выбираемой команды хранится на счетчике адреса команд (СчАК). Счетчик адреса команд предназначен для хранения и приема адреса исполняемой команды. СчАК имеет разрядность 30 бит. Единица в разряде СчАКа (28) говорит о нарушении спецификации, а в разряде (0) – нарушение адресации. Единица в разряде (28) говорит о кратности адреса, если 1, то адрес кратен 2, иначе – 4.

* Регистр признака результата (РПр);

Предназначен для хранения признака результата выполнения операции на АЛУ, в нашем случае на него передаются значения осведомительных сигналов результата с АЛУ. Является 4-х разрядным регистром.

* Флаги нарушения спецификации(ФПНС), нарушения адресации (ФПНА), переполнения (ФПП), неизвестной команды (ФПНК).

Флаги сигнализируют об особой ситуации, требующей выполнения прерывания.

* Сумматор адреса

Сумматор адреса (**СмА**), предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент (например, при относительной адресации АИСП=(B)+D). По разрядности СмА может отличаться от СчАК дополнительным старшим разрядом, фиксирующим переполнение.

* Адресный регистр (АР)

Представляет собой 16-разрядный регистр и используется для хранения исполнительного адреса команды, выбираемой из ОП.

* Регистр флагов (РФ)

Представляет собой 6-разрядный регистр для хранения флагов, формируемых АЛУ в результате выполнения операции. Младшие 2 разряда не используются.

* Триггеры-флаги ТРК, A, S, K

ТрК – триггер команды. Используется для определения формата команды. Если формат исполняемой команды – RR, то в ТРК заносится 0, в противном случае заносится 1.

A – триггер, устанавливаемый в единичное состояние при возникновении ситуации нарушения адресации.

S – триггер, устанавливаемый в единичное состояние при возникновении ситуации нарушения спецификации.

K – триггер, устанавливаемый в единичное состояние при возникновении ситуации «неизвестный КОП».

Разрядность регистра флагов прерываний и регистра признака результата определяется студентом в результате анализа описания выполняемых команд.

БВР (блок внутренних регистров) состоит из отдельных регистров прямого доступа, размерность и количество которых определяется в процессе проектирования (буферные регистры, регистры внешних портов и.т.п).

Кроме описанных выше блоков на схеме присутствует управляющий автомат, формирующий множество управляющих сигналов Y = {y1,…,y34} в ответ на осведомительные сигналы множества X = {x1,…,x18}, формируя последовательность взаимодействия операционных блоков для обеспечения правильного исполнения команд.

* 1. **Построение общей ГСА функционирования процессора.**

В курсовом проекте разработке подлежат алгоритмы выполнения пяти операций, определенных вариантом задания, и алгоритм выборки команды из ОП. Взаимосвязь указанных алгоритмов отражена на рисунке 1. Если код выбранной на РК команды не совпадает с кодом ни одной из реализованных команд, устанавливается флаг прерывания K (резервная команда).



Рис.1 – Схема алгоритма функционирования процессора.

**ГСА выборки команды** разработана при следующих предположениях: ЕОП=512МВ, ШВ=8 байтов, в системе команд есть команды длиной 2 байта и 4 байта, команды загружаются на РК полусловами.

Адрес выбираемой из ОП команды находится в СчАК.

Структура СчАК



Для уменьшения числа обращений в ОП в процессе выборки команды, в структурную схему процессора вводятся два регистра: АР(0:25) и БР(0:63).

АР – регистр, на котором хранится адрес слова ОП, считанного на буферный регистр (БР), ТРК – триггер, состояние которого указывает номер полуслова команды, загружаемого в РК.



Отметим, что в ГСА выборки команды проверяется только ситуация нарушения спецификации адреса. В качестве флага прерывания используется триггер S. Подразумевается, что анализ ситуации нарушения адресации (адрес выходит за границы ОП) производится в микропрограмме команды перехода как проверка бита переполнения СмА (если адрес вычисляется на СмА). Если адрес перехода задан в РСОП или ячейке ОП, то в микропрограмме команды перехода проверяется равенство нулю старших битов (для случая EОП=512М – старших трех битов) регистра или ячейки ОП. Считаем, что в случае последовательного выполнения команд ситуации нарушения адресации возникнуть не может, так как программа загружается в память целиком. Ситуации нарушения спецификации в случае последовательного выполнения команд также не может возникнуть, т.к. СчАК при этом увеличивается на четное число.

1. **Построение структурной схемы ЦОУ и архитектуры внешних выводов процессора.**
   1. **Схема алгоритма функционирования ЦОУ**

ГСА функционирования ЦОУ приведена на чертеже №2.

Алгоритм работы ОУ состоит из следующих этапов: выборка команды, выполнение команд,

генерирования прерывания, если требуется. Если встречается команда «стоп», то ОУ останавливает работу.

Обобщенная схема алгоритма функционирования ОУ выглядит следующим образом.

**Выборка команды**

**Начало**

**Вычитание**

**Логический сдвиг влево**

**Переход с возвратом**

**Запись в память**

**Стоп**

**Конец**

**Требуется прерывание**

**- +**

**прерывание**

**Команда В/В**

* 1. **Архитектура внешних выводов процессора.**

Завершающим этапом разработки процессорного блока ЦОУ является процедура описания внешнего интерфейса. Основным результатом этой процедуры является перечисление внешних выводов процессорного блока, описание их структурной организации и функционального назначения.

При разработке архитектуры внешних выводов следует ориентироваться на использование стандартных корпусов, имеющих ограниченное количество выводов: 40, 68, 132, 144, 168. Если функциональных выводов (их число определяется в процессе проектирования) оказывается меньше, чем выводов стандартного корпуса, то избыточные выводы корпуса могут быть использованы либо для дублирования контактов «земля» и «питание», либо для увеличения разрядности шины адреса.

Обобщенное условное графическое обозначение (УГО) процессорного блока показано на рисунке 2. Процессор имеет внешние выводы адреса (А) и данных (D). В некоторых случаях (в данном КП – в случае использования критерия уменьшения аппаратных затрат) для сокращения числа внешних выводов процессора часть выводов адреса и данных мультиплексируют (совмещают). Это возможно, так как в процессе обращения к внешним устройствам сначала на общих выводах процессора появляется адрес, а затем данные. Тогда, для демультиплексирования выводов используется дополнительный сигнал ALE (строб адреса), который идентифицирует событие выдачи адреса на шину адреса. Часть адреса, выдаваемая на общие выводы адреса/данных, как правило, фиксируется на внешнем регистре-защелке по сигналу ALE. Выводы RD, WR, IN, OUT используются соответственно для сигналов «чтение» (Чт), «запись» (Зп), «ввод» (МП) и «вывод» (ПМ). Контакт READY (готовность) используется для приема сигнала готовности (ZОП , ZВВ) от медленных внешних по отношению к процессору устройств (ОП, МВВ). Назначение выводов +5V (питание), GND (земля), RESET (сброс), SET (установка), CLC (синхронизация) общеизвестно. Все внешние выводы (контакты) разработанного процессора должны быть пронумерованы.



Рис.2 – УГО процессорного блока.

1. **Синтез управляющего автомата.**

Управляющий автомат синтезирован с учетом требований, предъявляемых в задании к курсовому проектированию. Общая структура управляющего автомата для операционного устройства, приведена на чертеже №1

Состав УА:

* Регистр микрокоманд – содержит выполняемую в данный момент микрокоманду, длина регистра равна длине микрокоманды.
* ПЗУ микрокоманд содержит последовательность микрокоманд (микропрограмму), соответствующую разработанному алгоритму функционирования управляющего автомата. Слово из ПЗУ считывается в регистр РМК по синхросигналу Чт.
* Формирователь сигнлов микроопераций (ФСМО) формирует выходные сигналы множества {Y}.
* Формирователь адресный (ФА) формирует значение младшего разряда регистра адреса.
* Регистр Адреса (РА) – сожержит адрес выполняемой микрокоманды.

Входной сигнал Чт представляет собой последовательность тактовых импульсов для синхронизации управляющего автомата.

Общая структура управляющего автомата с программируемой логикой представлена на рисунке 1



Рисунок 1 – Общая структура УА с ПЛ

* 1. **Адресация микроопераций.**

В данной работе для адресации микрооперации используется естественный способ адресации.

При синтезе управляющего автомата осведомительным и управляющим сигналам приданы следующие условные обозначения, которые приведены в таблице.

|  |  |
| --- | --- |
| **Условие** | **Х** |
| СчАК(28) | Х1 |
| АР(0:25)=СчАК(0:25) | Х2 |
| Zоп | Х3 |
| ТРК | Х4 |
| РК(0:1)=00 | Х5 |
| РК(0:7)=59h | Х6 |
| РК(10) | Х7 |
| РК(25:26)=00 | Х8 |
| РК(24) | Х9 |
| ПортD(0:2)=000 | Х10 |
| ПортD(32:34)=000 | Х11 |
| ПортD(29:31)=000 | Х12 |
| ПортD(61:63)=000 | Х13 |
| Zалу | Х14 |
| РФ(0:2)=000 | Х15 |
| РК(0:7)=69h | Х16 |
| РК(0:7)=31h | Х17 |
| РК(0:7)=49h | Х18 |
| РК(11:13)=000 | Х19 |
| СмА(0) | Х20 |
| СмА(27:28)=00 | Х21 |
| СмА(27) | Х22 |
| РК(0:7)=39h | Х23 |
| Zвв | Х24 |
| СТОП | Х25 |

|  |  |
| --- | --- |
| **Операция** | **Y** |
| ПортА(0:25):=СчАК(0:25) | Y1 |
| АР(0:25):=СчАК(0:25) | Y2 |
| ЧтОП | Y3 |
| БР(0:63):=ПортD(0:63) | Y4 |
| РК(0:15):=БР[СчАК(26:27)] | Y5 |
| РК(16:31):=БР[СчАК(26:27)] | Y6 |
| СчАК(0:29):=СчАК(0:29)+2 | Y7 |
| ТРК:=0 | Y8 |
| ТРК:=1 | Y9 |
| ПортА(0:25):=00..0.РК(11:23) | Y10 |
| ПортА:=ПортD(3:28) | Y11 |
| ПортА:=ПортD(35:60) | Y12 |
| Р2(0:63):=ПортD(0:63) | Y13 |
| РАРПП(0:2):=РК(8:10) | Y14 |
| ЧтРПП | Y15 |
| Р2(0:63):=ПортD(0:63) | Y16 |
| РАРПП(0:2):=РК(8:10) | Y17 |
| Р1(32:63):=РСРПП(0:31) | Y18 |
| ВычПТ | Y19 |
| РСРПП(0:31):=Р1(32:63) | Y20 |
| ЗапРПП | Y21 |
| РПр(0:1):=ШАЛУ(0:1) | Y22 |
| РФ(0:2):=ШАЛУ(2:4) | Y23 |
| РАРПП:=РК(8:10) | Y24 |
| РСРПП(0:31):=Р1(0:31) | Y25 |
| РАРП(0:2):=РК(8:10) | Y26 |
| ЧтРПФ | Y27 |
| Р1(0:31):=РСРП(0:31) | Y28 |
| Р2(0:31):=00..0.РК(11:16) | Y29 |
| СдвЛО | Y30 |
| РСРП(0:31):=Р1(0:31) | Y31 |
| ЗапРПФ | Y32 |
| РАРПФ(0:2):=Р1(8:10) | Y33 |
| РСРПФ(0:31):=00.РПр(0:1).СчАК(0:27) | Y34 |
| РАРПФ(0:2):=РК(11:13) | Y35 |
| СчАК(0:27):=РСРПФ(4:31) | Y36 |
| СмА(0:29):=00..0.РК(14:29) | Y37 |
| СмА(0:28):=СмА(0:28)+0.РСРПФ(3:31) | Y38 |
| ПортА(0:25):=СмА(1:26) | Y39 |
| ПортD(0:31):=РСРПФ(0:31) | Y40 |
| ЗапОП | Y41 |
| ПортD(32:63):=РСРПФ(0:31) | Y42 |
| ПортА(0:25):=00..0.РК(8:15) | Y43 |
| МП | Y44 |
| К:=1 | Y45 |
| А:=1 | Y46 |
| S:=1 | Y47 |
| Пр:=1 | Y48 |
| YК | Y49 |

* 1. **Кодирование микроопераций.**

Для кодирования микроопераций будем использовать горизонтально-вертикальный метод. Для этого построим несовместимые подмножества совместимых микроопераций.

Сначала закодируем наборы {x}, {y} и адреса:

Для кодировки х хватит 5 разрядов, так как их 26

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Х0 | 0 | 0 | 0 | 0 | 0 |
| Х1 | 0 | 0 | 0 | 0 | 1 |
| Х2 | 0 | 0 | 0 | 1 | 0 |
| Х3 | 0 | 0 | 0 | 1 | 1 |
| Х4 | 0 | 0 | 1 | 0 | 0 |
| Х5 | 0 | 0 | 1 | 0 | 1 |
| Х6 | 0 | 0 | 1 | 1 | 0 |
| Х7 | 0 | 0 | 1 | 1 | 1 |
| Х8 | 0 | 1 | 0 | 0 | 0 |
| Х9 | 0 | 1 | 0 | 0 | 1 |
| Х10 | 0 | 1 | 0 | 1 | 0 |
| Х11 | 0 | 1 | 0 | 1 | 1 |
| Х12 | 0 | 1 | 1 | 0 | 0 |
| Х13 | 0 | 1 | 1 | 0 | 1 |
| Х14 | 0 | 1 | 1 | 1 | 0 |
| Х15 | 0 | 1 | 1 | 1 | 1 |
| Х16 | 1 | 0 | 0 | 0 | 0 |
| Х17 | 1 | 0 | 0 | 0 | 1 |
| Х18 | 1 | 0 | 0 | 1 | 0 |
| Х19 | 1 | 0 | 0 | 1 | 1 |
| Х20 | 1 | 0 | 1 | 0 | 0 |
| Х21 | 1 | 0 | 1 | 0 | 1 |
| Х22 | 1 | 0 | 1 | 1 | 0 |
| Х23 | 1 | 0 | 1 | 1 | 1 |
| Х24 | 1 | 1 | 0 | 0 | 0 |
| Х25 | 1 | 1 | 0 | 0 | 1 |

Для кодировки адресов хватит 7 разрядов, так как адресов 74. Кодировку приведём непосредственно в микропрограмме, для более удобного кодирования операций по адресам.

Построим таблицу несовместимостей:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 | 32 | 33 | 34 | 35 | 36 | 37 | 38 | 39 | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 | 48 | 49 |
| 1 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 2 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 3 | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 4 |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 5 |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 6 |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 7 |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 8 |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 9 |  |  |  |  |  |  | 0 |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 10 |  |  | 0 |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 11 |  |  | 0 |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 12 |  |  | 0 |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 13 |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 14 |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 15 |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 16 |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 17 |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 18 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 19 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 20 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 21 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 22 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 23 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 24 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 25 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 26 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 27 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 28 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 29 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 30 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 31 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 32 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 33 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 34 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 35 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 36 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 37 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |
| 38 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |
| 39 |  |  | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |  |
| 40 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |  |  |  |
| 41 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |  |
| 42 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |  |  |
| 43 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |  |  |
| 44 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | - |  |  |  |  |  |
| 45 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |  |
| 46 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |  |
| 47 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |  |
| 48 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |  |
| 49 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | - |

Построим подмножества совместимых y :

1. y1,y4,y5,y6,y7,y10,y11,y12,y15,y18,y20,y24,y27,y28,y33
2. y2,y8,y9,y13,y16,y19,y21,y29,y34,y36,y37,y38,y39,y41
3. y3,y14,y17,y22,y25,y30,y31,y35,y42,y44, y45, y46
4. y23,y26,y32,y40,y43,y47,y48,y49

Тогда

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 |
| Y1 | y1 | y4 | y5 | y6 | y7 | y10 | y11 | y12 | y15 | y18 | y20 | y24 | y27 | y28 | y33 |
| Y2 | y2 | y8 | y9 | y13 | y16 | y19 | y21 | y29 | y34 | y36 | y37 | y38 | y39 | y41 |  |
| Y3 | y3 | y14 | y17 | y22 | y25 | y30 | y31 | y35 | y42 | y44 | y45 | y46 |  |  |  |
| Y4 | y23 | y26 | y32 | y40 | y43 | y47 | y48 | y49 |  |  |  |  |  |  |  |

* 1. **Микропрограмма функционирования УА.**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | А+№ | | | | | | | В | Микрооперации | B=0 | Y1 | | | | Y2 | | | | Y3 | | | | Y4 | | | |
| № | Адрес | | | | | | | В=1 | Код Х | | | | | Код адреса | | | | | | |  | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | X1 А+22 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | Х2 А+5 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | y1y2y3 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 3 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X3 А+3 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 4 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | y4 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 5 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | X4 А+10 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 6 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | y5 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 7 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | X5 А+11 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 8 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | y7y9 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 9 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | y6 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | y7y8 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 12 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | X6 А+20 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 13 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | X16 А+42 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 14 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | X17 А+47 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 15 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | X18 А+57 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 16 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | X23 А+70 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 17 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | X25 А+19 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 18 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | y45 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 19 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | y49 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 20 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | X7 А+22 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 21 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X8 А+24 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 22 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | y47 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 23 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | X0 А+19 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 24 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | y10y3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 25 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | X3 А+25 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 26 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | X9 А+51 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 27 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | X10 А+30 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 28 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | y46 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 29 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | X0 А+19 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 30 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | X12 А+32 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 31 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | X0 А+22 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 32 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | y11y3 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 33 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | X3 А+33 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 34 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | y13y14y15 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 35 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | y16y17y15 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 36 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | y18y19 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 37 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | X14 А+37 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 38 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | y20y21y22y23 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 39 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | y24y25y21 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 40 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | X15 А+1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 41 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | y48 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 42 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | y26y27 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 43 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | y28y29y30 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 44 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | X14 А+44 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 45 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | y31y32 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 46 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 47 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | y33y34y32 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 48 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | y35y27 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 49 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | Y36 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 50 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 51 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | X11 А+53 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 52 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | X0 А+28 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 53 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | X13 А+55 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 54 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | X0 А+22 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 55 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | y12y3 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 56 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | X0 А+33 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 57 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | y37 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 58 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | X19 А+61 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 59 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | y35y27 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 60 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | y38 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 61 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | X20 А+28 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 62 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | X21 А+22 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 63 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | y39y26y27y3 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 64 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | X3 А+64 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 65 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | X22 А+68 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 66 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | y40y41 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 67 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 68 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | y42y41 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 69 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 70 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | y43y44 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 71 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | X24 А+71 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 72 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | X0 А+1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 73 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | X0 А+19 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

## Длина микропрограммы составила 74, а длина микрокоманды 17 бит.

* 1. **Разработка схемы электрической принципиальной УА**

Принципиальная схема управляющего автомата приведена на чертеже №3.

Входы и выходы схемы собраны в два разъема XS1 и XS2 соответственно. Входы включают в себя множество осведомительных сигналов X, поступающих от ОА, а так же сигналы управления START (запуск), STOP (остановка) и RESET (установка в начальное состояние). Кроме того, на разъем XS1 подводится питание (+5V) и две сдвинутых друг относительно друга последовательности синхроимпульсов CLOCK1 и CLOCK2 с внешнего ГТИ. Выходы схемы включают в себя множество управляющих сигналов Y, собранных в разъем XS2.

Рассмотрим схему более подробно и выделим основные функциональные блоки, входящие в УА с программируемой логикой.

Подсистема памяти микрокоманд представляет собой совокупность микросхем ПЗУ DD1–DD9 и дешифратор DD12. Микросхема ПЗУ К155РЕ3 имеет емкость 32 байта, и ширина выборки у нее составляет 1 байт (8 разрядов). Для того, чтобы хранить микропрограмму, микрокоманда которой имеет длину 17 разрядов, и при этом длина микропрограммы составляет 74 такие микрокоманды, необходимо девять описанных выше микросхем, которые объединяются в 3 линейки по 3 микросхемы в каждой линейке (DD1-DD2-DD3, DD4-DD5-DD6, DD7-DD8-DD9). Объединение в одну линейку трех микросхем позволяет втрое расширить разрядность слова, выбираемого за одно обращение. Объединение трех линеек последовательно увеличивает объем памяти в три раза. Таким образом, получаем память микрокоманд, ширина выборки которой равна 24 разрядам, а объем составляет 96 24-разрядных слов, что вполне достаточно для размещения 74 микрокоманд шириной в 17 разрядов. Микросхемы в первой линейке выбираются одновременно сигналом CS1, на выходах Q микросхем при этом появляется прочитанное слово. Вторая и третья линейки выбираются сигналами CS2 и CS3 соответственно. Адрес задается семью разрядами, из которых 5 младших (a0…a4 ) поступают на адресные входы каждой микросхемы, а два старших (a5…a6) поступают на дешифратор DD12, выбирающий нужную линейку микросхем в зависимости от содержимого старших разрядов. Он генерирует сигналы CS1, CS2 и CS3.

С подсистемы ПМК в соответствии со структурной схемой УА с программируемой логикой слово поступает на вход регистра микрокоманд (РМК), который состоит из микросхем DD14-DD16, каждая из которых представляет собой восьмиразрядный универсальный сдвиговый регистр. Так как микросхемы соединены в один блок, в совокупность имеем 24-разряный РМК, в котором старшие 7 разрядов не используются (длина микрокоманды составляет 17 разрядов). Информация РМК снимается с выводов рк0–рк16.

СчАМК состоит из пары двоичных четырехразрядных счетчиков DD10-DD11. Информация с выходов микросхем поступает на шину адреса ПМК. На DD10 подается сигнал счета, если функция inc удовлетворяется. DD10 является младшей частью СчАМК и при его переполнении соответствующий сигнал поступает на счетный вход старшей части DD11. В зависимости от выполнения соответствующих условий в СчАМК может загрузиться адрес, заданный в поле А в РМК (разряды 0-6) или его значение может инкрементироваться.

Формирователь адреса (ФА) состоит из двух мультиплексоров DD27-DD28, которые соединены в один для обеспечения необходимой разрядности. На вход такого составного мультиплексора поступают сигналы множества X, выбираемые адресом, который задается полем X в РМК (разряды 7-11). Если пятый разряд поля Х микрокоманды равен нулю, младшие четыре разряда из РМК поступают на адресные входы DD27 (16 каналов) и обеспечивают подключение к выходу ФА одного из осведомительных сигналов, подключенных к информационным входам DD27. Если пятый разряд поля Х содержит единицу, выбирается второй мультиплексор DD28 (16 каналов), который выполняет те же действия, что и первый, на адресные входы поступают младшие три разряда поля Х микрокоманды, т.к. основную часть осведомительных сигналов взял на себя DD27, а DD28 управляет оставшейся частью сигналов множества X. Сигналы на выходах обоих мультиплексоров подаются на 3ий мультиплексор DD29, откуда выбирается по надобности тот или иной сигнал, т.к. в каждый конкретный момент времени задействован только один из двух мультиплексоров. Этот сигнал используется в функциях «и» для определения адреса следующей микрокоманды.

Формирователь сигналов микроопераций (ФСМО) предназначен для расшифровки поля Y операционной микрокоманды и формирования комбинации соответствующих управляющих сигналов. Разряды определённой группы (их 4 в данном случае) поступают на соответствующие им сигналы. Разряды номера подмножества расшифровываются дешифратором DD17. Работа ФСМО разрешается только в случае, если команда операционная. Поэтому на стробирующие входы дешифратора подается сигнал . На выходе дешифратор формирует сигнал gi выбора одного из 4 подмножеств. Этот сигнал инвертируется и на неиспользованных для реализации функции счета элементах DD24 (элементы И-НЕ работают в режиме инверторов).

Триггер DD13 в совокупности с элементами DD24-26 служит для обеспечения запуска и остановки УА. Сброс УА происходит путем асинхронной подачи сигналов на входы R регистров DD14-DD16 (очистка РМК) и счетчиков DD10-DD11 (сброс СчАМК).

Конденсаторы С1-С4 служат для сглаживания высокочастотных помех (на каждые 6 корпусов МС по одной емкости 0.0012 мкФ; включается между входом Vcc соответствующего корпуса и GND), для фильтрации низкочастотных помех предназначен электролитический конденсатор C0 (включается между +5V и GND).

Сигнал логической единицы формируется путем обеспечения падения напряжения на резисторе R1 (1 кОм). Для обеспечения помехоустойчивости свободные входы микросхем соединяются через данный резистор к +5V.

Перечень элементов схемы представлен в таблице 1 с описанием элементов.



Таблица 1 – Описание элементов схемы

При монтаже микросхем необходимо предусмотреть установку входного емкостного фильтра из расчета не менее 0,1 мкФ на одну микросхему, чтобы исключить низкочастотные помехи.

Для исключения высокочастотных помех развязывающие емкости (не менее 0,002 мкФ на одну микросхему) необходимо размещать из расчета один конденсатор на группу не более чем из 10 микросхем.

Сопротивление R1=1 кОм необходимо для получения напряжения питания, для подачи ее на некоторые входы микросхем.

Параметры К155 серии микросхем:

|  |  |
| --- | --- |
| Параметр, характеристика | Серия микросхемы К155 |
| Средняя потребляемый ток, мА  Средняя мощность , Вт | 20  0.1 |
| Входной ток, мА, не более:  Низкого уровня  Высокого уровня | -1,6  0,04 |
| Время задержки распространения сигнала, нс, при:  включении  выключении | 18,5  18,5 |
| Частота переключения, МГц, не более | 15 |
| Максимальное напряжение питания, В | 6 |
| Максимальное напряжение на входе, В | 5,5 |
| Минимальное напряжение на выходе, В | -0,4 |
| Максимальная емкость нагрузки, Пф | 200 |

Входы на шину: х1 – х18, земля, напряжение питания, сигнал сброса и установки счетчика, синхросигнал, стробирующий сигнал мультиплексора.

Выходами являются У-ки с 1го по 39ый.

1. **Моделирование работы УУ.**

# Определение временных характеристик ОУ.

Период T синхронизации операционного устройства выбирается фиксированным так, чтобы за время T успевала выполниться любая микрооперация. Длительность такта Т вычисляется по формуле Т=ТОУ+ТУА, где ТУА – время выработки сигналов микрооперации управляющим автоматом, ТоУ – время исполнения микрокоманды в операционном устройстве.

Рассчитаем TОу:

Самая долговременная операция – вычитание. Выполняется вычитание сумматором, в серии К155 есть только 4-разрядный сумматор, а данные которые суммируются 32-разрядные, поэтому потребуется 8 сумматоров. Задержка каждого 40нс (К155ИМ3).

Значит TОу = 8\*40 = 320 нс.

Рассчитаем ТУ: значение Tyа определяется по формуле:

ТУ = TПЗУ + 2\*TMS + TRG + 2\* TсЧ,+5\*ТDC

где TПЗУ – время выборки микрокоманды из ПЗУ микрокоманд

TRG – задержка регистров

TMS – задержка мультиплексоров,

TСЧ – задержка счетчика.

ТDC  - задержка дешифраторов.

Данные по задержкам элементов серии К155 взяты с источника [3].

TПЗУ = 65нс (К155РЕ3);

TMS = 35нс (К155КП1); TMS1 = 19нс (К155КП7);

TRG = 40нс (К155ИР13);

TСЧ = 40нс (К155ИЕ7);

ТDC1 = 32 нс (К155ИД4);

ТDC = 36 нс (К155ИД3).

Значит ТУА = 65 + 2\*35+ 19 + 3\*40 + 2\*40 + 32 + 36\*4 = 530нс.

Расчетный такт составит Трас = 530 + 320 = 850нс, рассчитаем рабочий так по формуле Траб = 1,2\*Трас = 1020 нс, что соответствует частоте F = 980,4 МГц. Ближайшая частота работы микропроцессора по ГОСТу = 1000 МГц.

Итак, рабочий такт составил: Траб = 850 нс.

* 1. **Временная диаграмма процесса исполнения МК.**



Где,

, где  − максимальное время выборки слова из ПМП;

, где  − время, необходимое для записи слова в РМК;

, где  − время срабатывания ФСМО (схема этого устройства и время срабатывания зависит от используемого способа кодирования МО),  − суммарное время срабатывания всех схем, включенных в ФА;

, где − время исполнения в ОБ *k*-ой микрооперации (в случае синхронизации с постоянным тактом);

; , где  − время срабатывания регистра АМК (РАМК) в случае принудительной адресации МК,  − время срабатывания счетчика АМК (СчАМК) при естественной адресации;

, где − цикл выборки слова из ПЗУ, на основе которого построена ПМП.

Откуда

= 65+32=97 (нс) (память и выбирающий дешифратор)

=120 нс (РМК)

= 144 нс (Расшифровка кодов МО осуществляется ФСМО, представляющим собой R дешифраторов)

=320 нс

=70+19=89 (нс) (мультиплексоры)

=80 нс (счётчики)

δ примем равным 5 нс

Тоу= 97+120+144+320+89+80=850+δ=855 (нс)

* 1. **Моделирование работы управляющего автомата.**

Моделирование работы управляющего автомата производится на одной из ветвей ГСА работы управляющего автомата.

Будем производить моделирование по следующему участку ГСА.



Промоделируем работу нашего управляющего автомата для команды логического сдвига влево одного слова.

Адр.A+13 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0001101 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

Входные данные: Х16=0

Выходные данные:

Y: нет

X: проверка Х16=1

Адр.перехода: А+42

След. Адрес:A+42

Адр.A+42 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0101010 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

Входные данные: нет

Выходные данные:

Y: у26, у27

X: нет

Адр.перехода: нет

След. Адрес:A+43

Адр.A+43 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0101011 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Входные данные: нет

Выходные данные:

Y: у28, у29,y30

X: нет

Адр.перехода: нет

След. Адрес:A+44

Адр.A+44 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0101100 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

Входные данные: Х14=0

Выходные данные:

Y: нет

X: проверка Х14=1

Адр.перхода: А+44

След. Адрес:A+45

Адр.A+45 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0101101 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

Входные данные: нет

Выходные данные:

Y: у31, у32

X: нет

Адр.перхода: нет

След. Адрес:A+46

Адр.A+46 В 1 байт ПЗУ 2 байт ПЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0101110 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

Входные данные: Х0=0

Выходные данные:

Y: нет

X: проверка Х0=1

Адр.перхода: А+1

Выполнение данной команды закончено. По результатам моделирования можно сделать вывод о корректности работы устройства. Это говорит о том, что устройство разработано верно.

# ЗАКЛЮЧЕНИЕ

В ходе курсового проектирования было спроектировано простейшее операционное устройство, реализующее систему из пяти команд, и разработана его структурная схема. Для УА была построена микропрограмма его функционирования и спроектирована электрическая принципиальная схема. Были рассчитаны временные характеристики синтезированного устройства. Рабочий такт управляющего устройства составил:

Траб = 850 нс.

Это операционное устройство обеспечивает все пункты поставленной задачи на курсовое проектирование.

Моделирование участка ГСА подтвердило его правильную работу.

Хотелось бы заметить, что технологии, а также способы реализации отдельных узлов процессоров ЭВМ постоянно совершенствуются, однако основные принципы построения процессоров (наличие управляющего автомата, регистровой памяти, АЛУ) остаются неизменными. Несомненно, при всё повышающемся техническом уровне ЭВМ, введении новых способов их разработки к существующим принципам построения ЭВМ добавляются и новые, но, несмотря на это, задача проектирования процессоров всё ещё лежит на плечах человека и в настоящее время сохраняет свою актуальность. Несомненно, отдельные этапы проектирования, как, например, построение комбинационной схемы по соответствующей системе булевых функций, автоматизированы, однако, фундаментальные решения принимает всегда человек.

**Список использованной литературы**

1. Тарабрин Б.В., Лунин Л.Ф., Смирнов Ю.Н. Интегральные микросхемы (справочник). – М.: Радио и связь, 1983. – 528 с.

2.Якубовский С.В., Ниссельсон Л.И. Цифровые и аналоговые интегральные микросхемы: Справочник.- М.: Радио и связь, 1990.-496 с.

3.Сайт сети интернет <http://kazus.ru/guide/chips> - описание микросхем серии К-155.

4. Вычислительная система IBM/360. Принципы работы. Пер. с англ., под ред. Штаркмана В. С., М. Изд-во «Советское радио», 440 стр., т. 10500 экз.

5.Популярные цифровые микросхемы: Шило В. Л.: Справочник .- М.: Радио и связь, 1987. -357с.: ил.

6. Методические указания к курсовому проектированию по курсу “Теория и проектирование ЦВМ”.